

Driver for power switch in PWM power supply circuits temporarily charges output inverter transistor capacitance so inverter output is pulled more rapidly towards reference potential

Patent Number: DE19851909
Publication date: 2000-05-31
Inventor(s): HALAMIK JOSEF (CZ); HALL JEFFERSON (US)
Applicant(s): MOTOROLA INC (US)
Requested Patent: ☐ DE19851909
Application Number: DE19981051909 19981111
Priority Number(s): DE19981051909 19981111
IPC Classification: H03K17/042
EC Classification: H03K17/042B, H03K19/017B
Equivalents:

Abstract

The driver arrangement has a pulse-controlled transistor output inverter (220) and a feedback circuit (230) between the inverter output and the inverter input with a voltage-controlled first switch (231) and a second switch (232) driven in synchronism with the output inverter that temporarily charges the transistor capacitance of an output inverter transistor (222) when a signal is applied to the inverter input that causes the inverter output to be pulled to a reference potential (292) and the inverter output voltage is still significantly greater than the reference potential so that the inverter output voltage is pulled more rapidly towards the reference potential. An Independent claim is also included for a application of a PWM power supply circuit with a driver arrangement in an electronic unit.

Data supplied from the esp@cenet database - I2



① BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ **Offenlegungsschrift**
⑩ **DE 198 51 909 A 1**

⑤ Int. Cl. 7:
H 03 K 17/042

② Aktenzeichen: 198 51 909.5
③ Anmeldetag: 11. 11. 1998
④ Offenlegungstag: 31. 5. 2000

⑦ Anmelder:
Motorola, Inc., Schaumburg, Ill., US

⑧ Vertreter:
Dr. L. Pfeifer und Kollegen, 65203 Wiesbaden

⑨ Erfinder:
Halamik, Josef, Roznov, CZ; Hall, Jefferson,
Phoenix, Ariz., US

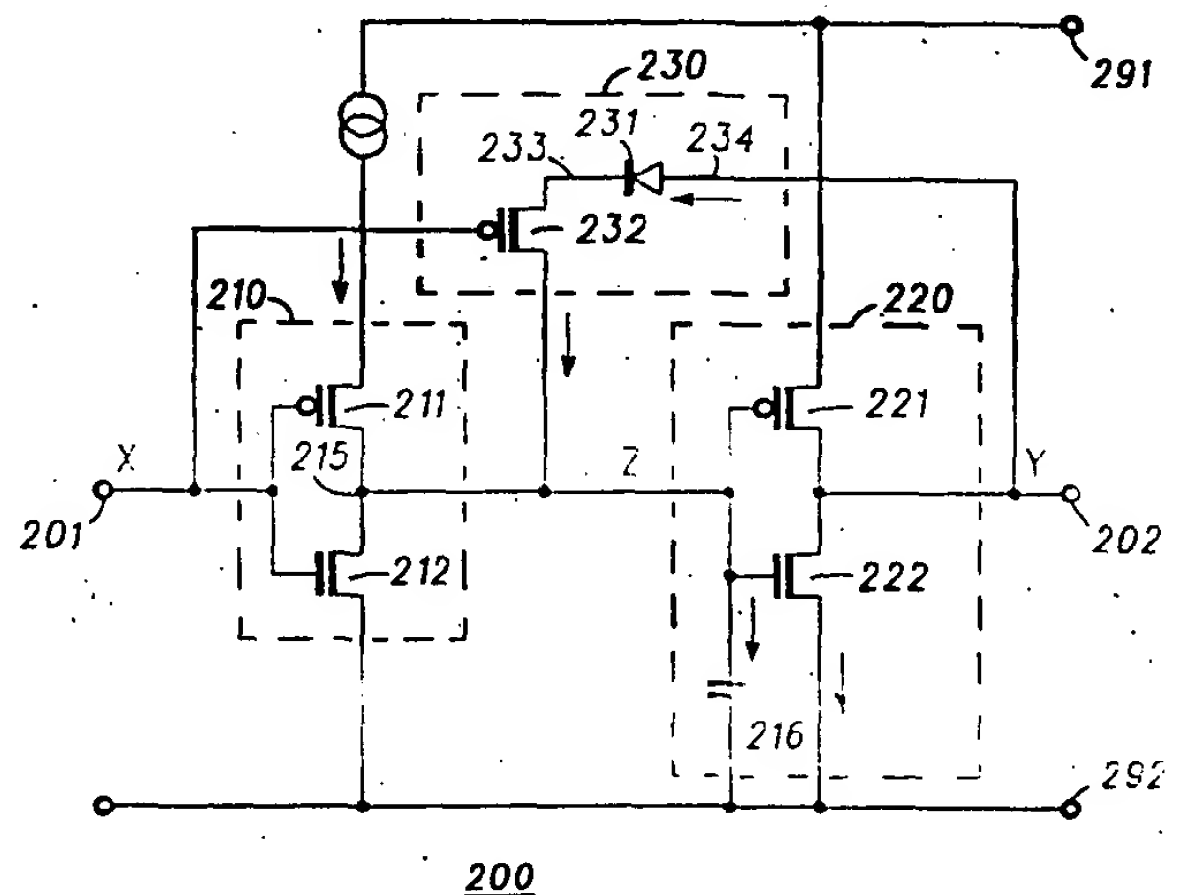
⑥ Entgegenhaltungen:
DE 44 28 548 A1
US 44 23 341

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤ Treiberanordnung für Leistungsschalter in Impulsbreitenmodulierten Stromversorgungsschaltungen sowie deren Verwendung

⑥ In einem Signaltreiber (200) mit einem Eingangsinverter (210), einem Zwischenknoten (215) und einem Ausgangsinverter (220) befindet sich zwischen einem Ausgang (202) und dem Zwischenknoten (215) eine Reihenschaltung (230) aus einem ersten Schalter (231) und einem zweiten Schalter (232). Der erste Schalter (231) leitet in Abhängigkeit von der Ausgangsspannung (Signal Y). Der zweite Schalter (232) wird vom Eingangssignal (X) gesteuert. Eine Kapazität (216) zwischen dem Knoten (215) und einem Bezugspotential (292), die dessen Aufladen den Ausgangsinverter (220) zur Abgabe eines L-Pegels veranlaßt, wird über die geschlossenen Schalter (232, 231) solange vom Ausgang (202) her aufgeladen, bis der Ausgang (202) eine Schwellspannung des ersten Schalters (232) unterschreitet, wobei dieser aufhört zu leiten. Durch das zeitweilige Aufladen des Kondensators (216) wird die Form des Ausgangssignals, insbesondere dessen Fallgeschwindigkeit eingestellt.



DE 198 51 909 A 1

DE 198 51 909 A 1

Beschreibung

Gebiet der Erfindung

Die vorliegende Erfindung betrifft elektronische Schaltungen im allgemeinen, und im besonderen eine Treiberanordnung für Schalter (z. B. Leistungsschalter) in Stromversorgungsschaltungen, bei denen der Schalter mit Impulsbreitenmodulation (Pulse Width Modulation – PWM) betrieben wird.

Hintergrund der Erfindung

Schaltregler finden als Gleichspannungswandler Einsatz in Stromversorgungsschaltungen (z. B. in Netzteilen) zum Bereitstellen einer regelbaren Ausgangsspannung. Diese Schaltregler sind auch unter der Bezeichnung SMPS (Switch Mode Power Supply) bekannt. Aufbau und Arbeitsweise sind u. a. erläutert in der folgenden Fundstelle: [1] U. Tietze und Ch. Schenk: "Halbleiter-Schaltungstechnik", Zehnte Auflage, Springer Verlag, Berlin, Heidelberg, New York, ISBN 3-540-55184-6, Abschnitte 18.5 bis 18.7 auf Seiten 561–586. Bezugnehmend auf Abb. 18.34 bis 18.36 der genannten Fundstelle, bestehen die Wandler üblicherweise aus Leistungsschalter S, Drossel L und Glättungskondensator C. Leistungsschalter S wird üblicherweise durch Leistungstransistoren (bipolare Transistoren oder Feldefekttransistoren (FET)) oder ähnliche Halbleiterbauelemente realisiert. Der Treiber (auch "PWM-Controller" oder wie in [1] "Impulsbreitenmodulator") sollte mit einem binären Steuersignal Y (z. B. H- und L-Pegel) den Schalter so ansteuern, daß der Wirkungsgrad des Wandlers maximiert sowie dessen elektromagnetische Verträglichkeit (EMV, gekennzeichnet z. B. durch minimale Störabstrahlung) gewährleistet werden.

Ein durch Transistoren realisierter Leistungsschalter S arbeitet nur dann im wesentlichen verlustfrei, wenn er momentan vom gesperrten Zustand in den leitenden Zustand (und zurück) übergeht. Ansonsten treten beim Einschalten und Ausschalten sogenannte Umschaltverluste auf, die um so größer sind, je langsamer der Umschaltvorgang abläuft. (vgl. Abschnitt 18.7.4 in [1])

Fig. 1 zeigt in vereinfachter Darstellung das Schaltungsdiagramm eines klassischen Treibers 100 mit in Kette geschalteten CMOS-Invertern 170, 180, 110 und 120. (jeweils gestrichelte Rahmen). Die Inverter sind zwischen Bezugspotential 191 (H-Pegel, z. B. Spannung VCC) und Bezugspotential 192 (L-Pegel, z. B. Spannung GND) geschaltet. Inverter 170 bestehend aus P-FET 171 und N-FET 172 leitet Eingangssignal IN am Eingang 175 zu Inverter 180 (P-FET 181 und N-FET 182) weiter. Zwischen Invertern 170 und 180 können weitere Inverterstufen eingebaut werden, was jedoch hier nicht betrachtet wird. Im folgenden wird das von Inverter 180 bereitgestellte Signal X' (an Eingang 101) als das eigentliche Eingangssignal des Treibers 100 betrachtet. Inverter 110 (aus Stromquelle 113, P-FET 111, N-FET 112) konvertiert Signal X' in Zwischensignal Z' (an Zwischenknoten 115), und Ausgangsinverter 120 (P-FET 121, N-FET 122) konvertiert Signal Z' in das Ausgangssignal Y' (Ausgang 102, siehe auch Fig. 3), das als Treibersignal den Leistungsschalter S (siehe [1]) schaltet. Die Stromkapazität der Inverter nimmt zum Ausgang hin zu. Die Schaltgeschwindigkeit (d. h., dY'/dt) des Ausgangssignals Y' wird im wesentlichen vom letzten Inverter 120 bestimmt. Ausgangssignale (z. B. Signal Y') von CMOS-Invertern fallen in der Regel schneller (H- zu L-Pegel) als sie ansteigen (L- zu H-Pegel). Dies ist auf die unterschiedlichen Ladungs- und Entladungswegzeiten zurückzuführen.

schwindigkeit des H-L-Übergangs zu steuern.

In Treiber 100 geschieht dies durch das Aufladen des Kondensators 116 zwischen dem Gate und der Source von N-FET 122 des Inverters 120 durch den stromleitenden Transistor P-FET 111 (X' auf L-Pegel). Wenn die Gate-Source-Spannung VGS des Transistors 122 über Kondensator 116 einen transistortypischen Schwellwert erreicht, wird Transistor N-FET 122 leitend und zieht Ausgang 102 zu Potential 192 auf L-Pegel. Jedoch zeigt diese Schaltung eine unerwünschte Ausbreitungsverzögerung (propagation delay) zwischen Signalen X' und Y' bzw. eine unerwünscht lange Fallzeit von Y'.

Es stellt sich somit als Aufgabe der Erfindung, einen Treiber so zu konstruieren, daß dieser die genannten Nachteile vermeidet. Diese Aufgabe wird bei einer gattungsgemäßen Einrichtung und einem Verfahren nach den Ansprüchen gelöst.

Kurzbeschreibung der Zeichnungen

Fig. 1 zeigt in vereinfachter Darstellung das Schaltungsdiagramm eines nach dem Stand der Technik bekannten Treibers mit in Kette geschalteten CMOS-Invertern;

Fig. 2 zeigt in vereinfachter Darstellung das Schaltungsdiagramm eines Treibers entsprechend einem ersten, bevorzugten Ausführungsbeispiel der vorliegenden Erfindung;

Fig. 3 zeigt in vereinfachter Darstellung Pegel-Zeit-Diagramme des Eingangssignals X sowie der Ausgangssignale Y des Treibers nach Fig. 2 gemäß der Erfindung im Vergleich zum Ausgangssignal Y' des Treibers nach Fig. 1 gemäß dem Stand der Technik;

Fig. 4 zeigt in vereinfachter Darstellung das Schaltungsdiagramm eines Schalters in Fig. 2 gemäß einem zweiten Ausführungsbeispiel der vorliegenden Erfindung; und

Fig. 5 zeigt ein vereinfachtes Blockdiagramm einer impulsbreitenmodulierten Stromversorgungsschaltung als Anwendungsbeispiel für den Treiber der vorliegenden Erfindung.

Ausführliche Beschreibung der Zeichnungen

Entsprechend der vorliegenden Erfindung wird der Treiber durch eine Reihenschaltung aus einem spannungsgesteuerten ersten Schalter und einem mit dem Eingangssignal phasensynchron gesteuerten zweiten Schalter zwischen dem Ausgang und dem Zwischenknoten ergänzt. Durch entsprechendes selektives und zeitlich begrenztes Laden des Kondensators an einem der Ausgangstransistoren reduziert die Reihenschaltung die Ausbreitungsverzögerung des Treibers.

Durch geeignete Optimierung der Fallgeschwindigkeit des Ausgangssignals Y wird eine gewünschte Reduzierung der Bauelementanzahl, eine Verkleinerung des Aufbaus, sowie die Erhöhung der Zuverlässigkeit des angesteuerten Wandlers in Kombination mit einem damit gesteuerten Schaltregler erreicht. Mit anderen Worten, die Rückkopplung durch die Reihenschaltung verzerrt Ausgangssignal Y in die gewünschte Form. Der Leistungsschalter kann schneller ausschalten, was bei vielen Anwendungen mit einer Verbesserung der Sicherheit verbunden ist.

Begriffe und Abkürzungen wie "fallen", "Fall-", "steigen", "H" für "hoch" (high) und "L" für "niedrig" (low) und andere dienen nur zur besseren Erklärung und werden keineswegs im Sinne einer Begrenzung verwendet.

Fig. 2 zeigt in vereinfachter Darstellung das Schaltungsdiagramm des Treibers 200 entsprechend einem ersten, bevorzugten Ausführungsbeispiel der vorliegenden Erfindung. Treiber 200 beinhaltet Transistoren 211, 212, 221, 222, und

Treiber 200 ist gekoppelt an Bezugspotential 291 mit Spannung VCC (z. B. plus 4 . . . 20 Volt), die den ersten, z. B. hohen Signalpegel (H-Pegel) repräsentiert. Treiber 200 ist im weiteren gekoppelt an Bezugspotential 192 mit Spannung GND (z. B. im wesentlichen bei Null Volt), die den zweiten, z. B. niedrigen Signalpegel (L-Pegel) repräsentiert. Treiber 200 empfängt Eingangssignal X von Eingang 201, erzeugt Zwischensignal Z an Zwischenknoten 215 und stellt Ausgangssignal Y (siehe auch Fig. 3) an Ausgang 202 zur Verfügung. Transistoren 211 und 212 bilden Eingangsinverter 210 (gestrichelter Rahmen), der über Zwischenknoten 215 in Kette zu Transistoren 221 und 222 geschaltet ist, die Ausgangstreiber 220 (gestrichelter Rahmen) bilden.

Kondensator 216 ist als Kapazität zwischen Zwischenknoten 215 und Bezugspotential 292 und damit parallel zu einer Steuer- und einer Hauptelektrode des Transistors 222 geschaltet. Obwohl zur besseren Erläuterung als diskretes Bauelement dargestellt, ist Kondensator 216 vorteilhafter bereits durch die innewohnende äquivalente Eingangskapazität des Transistors 222 implementiert.

Diode 231 bildet einen ersten, spannungsgesteuerten Schalter, und Transistor 232 bildet einen zweiten Schalter. Die Hauptelektroden der Diode 231 und des Transistors 232 bilden Reihenschaltungsanordnung 230 (gestrichelter Rahmen) geschaltet zwischen Ausgang 202 und Zwischenknoten 215. Transistor 232 wird an dessen Steuerelektrode über Eingangssignal X gesteuert.

Treiber 200 kann, optional, über weitere Inverterstufen (wie z. B. Inverter 170 und 180 in Fig. 1) verfügen. Aber das ist nicht notwendig für die vorliegende Erfindung. Die Transistoren, insbesondere Transistoren 221 und 222, können als Doppeltransistoren mit parallel geschalteten Elektroden ausgeführt sein. Diese und andere Modifikationen sind dem Fachmann geläufig und gehen nicht über den Umfang der Erfindung hinaus.

Der Begriff "Transistor" wird hier für jedes steuerbare Bauelement gebraucht, das mindestens zwei Hauptelektroden und eine Steuerelektrode hat. Die Impedanz zwischen den Hauptelektroden wird vom einem Signal an der Steuerelektrode verändert. Im allgemeinen können Transistoren als Schalter betrachtet werden, die leitend (d. h. eingeschaltet) oder nichtleitend (d. h. ausgeschaltet) sein können. Bevorzugterweise verwendet Treiber 100 Feldeffekttransistoren (field effect transistors - FETs), die entweder von einem P-Kanal-Typ (P-FET, z. B. Transistoren 211, 221 und 232) oder von einem N-Kanal-Typ (N-FET, z. B. Transistoren 212 und 222) sind. Welche der Hauptelektroden ein Drain (D) und welche eine Source (S) ist, hängt von den angelegten Spannungen ab, so daß D und S hier nur zum Vereinfachen des Verständnisses unterschieden werden. Die P-FETs sind in den Zeichnungen mit einem Kreissymbol am Gate (G) gekennzeichnet. Die Begriffe "erster Typ" und "zweiter Typ" können sich auf P-Kanal bzw. N-Kanal-Transistoren und umgekehrt, beziehen.

Die Auswahl der Transistoren ist vorteilhaft zum Zwecke der Erläuterung, aber nicht unbedingt notwendig für die vorliegende Erfindung. Zum Beispiel, und ohne den Anspruch auf Vollständigkeit zu erheben, kann die Kanalzuweisung der FETs umgekehrt werden; oder es können Bipolartransistoren (PNP-Typ und NPN-Typ) zur Anwendung kommen, die Emitter und Kollektoren als Hauptelektroden und eine Basis als Steuerelektrode haben.

Wie in Fig. 2 dargestellt, sind die Bauelemente des Treibers 200 wie folgt miteinander verknüpft bzw. geschaltet: Stromquelle 213 zwischen Potential 291 und Source (S) des Transistors 211; Eingang 201 an Gates (G) der Transistoren 211, 212 und 232; Drains (D) der Transistoren 211, 212 und 232 an Zwischenknoten 215; Source (S) des Transistors 212

an Potential 292; Zwischenknoten 215 an Gates (G) der Transistoren 221 und 222, sowie an Kondensator 216; Kondensator 216 weiter an Potential 292; Source (S) des Transistors 232 an Katode (Leitung 233) der Diode 231; Anode (Leitung 234) der Diode 231 an Ausgang 202; Source (S) des Transistors 221 an Potential 292; Drains (D) der Transistoren 221 und 222 und Ausgang 202; sowie Source (S) des Transistors (222) an Potential 292.

Die Funktion von Treiber 200 wird im folgenden in Bezug auf die Signaldarstellungen in Fig. 3 beschrieben.

Fig. 3 zeigt in vereinfachter Darstellung Pegel-Zeit-Diagramme des Eingangssignals X (Diagramm 300, Graphen 11-15) sowie der Ausgangssignale Y des Treiber 200 (Diagramm 302, Graphen 21-26) gemäß der Erfindung im Vergleich zu Treiber 100 (Diagramm 301, Graphen 31-35) gemäß dem Stand der Technik. Die Signalpegel H und L sind vereinfacht an den Ordinatenachsen und die Zeit t ist an den Abszissenachsen dargestellt.

Solange das Eingangssignal X auf L-Pegel liegt (Graph 11), bleibt nach doppelter Inversion Ausgangssignal Y (Graph 21) ebenfalls auf L-Pegel (Transistor 222 leitend). Diode 231 sperrt und verhindert einen Stromfluß von Zwischenknoten 215 (Z = H) über Transistor 215 zu Ausgang 202 (Y = L). In anderen Worten, Schalter 231 (z. B. Diode) wirkt bevorzugterweise als richtungsabhängiger Schalter.

Sobald bei Zeitpunkt $t = t_1$ Signal X auf H-Pegel geht (Graphen 12, 13), steigt Signal Y nach einer üblichen Verzögerung ebenfalls auf H-Pegel ($t = t_0$, Graph 22) und verbleibt dort (Graph 23). Zum Zeitpunkt $t = t_1$ hat Signal X im wesentlichen bereits wieder L-Pegel erreicht (Graphen 14 und 15), und schaltet Transistor 232 ein. Bei $t = t_1$ ist Signal Y im wesentlichen aber noch auf H-Pegel (Graph 23), so daß Diode 231 mit einer positiven Spannung über Anode und Katode leitend vorgespannt wird. Dadurch befindet sich Reihenschaltungsanordnung 230 in einem leitfähigen Zustand. Kondensator 216 wird durch Ladestrom

$$IC = I_1 + I_2 \quad (1)$$

geladen. Dabei resultiert Komponente 11 von Stromquelle 213 und leitenden Transistor 211 (da $X = L$); und Komponente 12 resultiert aus dem Spannungsabfall zwischen Ausgang 202 und Potential 292. Komponente 12 dominiert während dieser Phase.

Im Vergleich zu Treiber 100 nach dem Stand der Technik, bei dem Komponente 12 fehlt (vgl. Fig. 1), bewirkt die zusätzliche Komponente 12 einen schnelleren Anstieg der Source-Gate-Spannung VGS des bei $t = t_1$ noch nicht leitenden Ausgangstransistors 222.

Wenn VGS von Transistor 222 einen transistortypischen Schwellwert V_{th} erreicht hat, beginnt Transistor 222 den Ausgang 202 auf Potential 292 (L-Pegel) zu ziehen (Graph 24). Ausgang 202 erreicht einen Spannungswert, bei dem Diode 231 ihre Leitfähigkeit aufgibt und die Zufuhr von Komponente 12 an Kondensator 216 unterbrochen wird.

Im Vergleich der Ausgangssignale Y (Diagramm 302) des erfindungsgemäßen Treibers 200 und Y' (Diagramm 301) des Stand der Technik-Treibers 100, zeigen beide Signale einen im wesentlichen gleichen L-H-Übergang (Graphen 21-23 bzw. 31-33). Signal Y erreicht jedoch beim H-L-Übergang (Graphen 24-26) die Mitte zwischen H-Pegel und L-Pegel eher (bei $t = t_2$) als Signal Y' (Graphen 34-35).

Ausgedrückt mit der Zeitableitung dY/dt des Signalpegels Y (d. h. der Änderungsgeschwindigkeit) ergeben sich Phasen α (Graph 24, Ladestrom 11+12) und β (Graph 25, Ladestrom 11), bei denen gilt:

$$|dY/dt|_{\alpha} > |dY/dt|_{\beta} \quad (2)$$

Symbole $||$ stehen für Absolutbeträge. In Phase β (Graph 25 in Diagramm 302) entspricht die Änderungsgeschwindigkeit des Signals Y im wesentlichen der des Signals Y' (Graph 34 in Diagramm 301).

Mit anderen Worten, das zeitlich begrenzte Erhöhen der Leitfähigkeit des Transistors 222 mittels gesteuerter Rückkopplung von Ausgang 202 bewirkt einen kurzzeitigen steilen Abfall (Graph 24, hohe Fallgeschwindigkeit) des Signals Y. Signal Y bekommt eine Form, die den oben genannten Eigenschaften entspricht. Im Vergleich zu Treiber 100 (Fig. 1), wird die Ausbreitungsverzögerung vermindert.

Die Fallgeschwindigkeit des Signals Y kann vom Fachmann weiter optimiert werden. Zum Beispiel kann ein Spannungsteiler zwischen Ausgang 202 und Diode 231 geschaltet werden, der den Zeitpunkt des Sperrens der Diode definiert. Dieser Zeitpunkt kann auch durch geeignete Wahl des Dioden-Typs (Durchlaßspannung UD bzw. VD: vgl. Fundstelle [1] Abschnitt 3; auch "Schleusenspannung") bzw. deren Anzahl eingestellt werden. Die Steuerung des Schalters 231 über die Spannung kann auch mit einem Komparator realisiert werden, der die Spannung des Signals Y mit einer Referenzspannung vergleicht.

Die vorliegende Erfindung wäre auch anwendbar für Treiberschaltungen, die mit symmetrischen Versorgungsspannungen (z. B. Plus an Potential 291, Minus an Potential 292, Masse in der Mitte) betrieben werden.

Im ersten Ausführungsbeispiel (Fig. 2) wurde Schalter 231 in einer Realisierung als Diode zwischen Leitungen 233 (Katode) und 234 (Anode) vorgestellt. Das ist jedoch nicht notwendig für die vorliegende Erfindung.

Fig. 4. zeigt in vereinfachter Darstellung das Schaltungsdiagramm von Schalter 231' in Fig. 2 gemäß einem zweiten Ausführungsbeispiel der vorliegenden Erfindung. Schalter 231' (gestrichelter Rahmen) entspricht Schalter 231 in Fig. 4. Schalter 231' umfaßt NPN-Bipolar-Transistoren 236 und 237 in folgender Kombination. Der Emitter von Transistor 236 ist an Leitung 233 geschaltet; die Basis und der Kollektor von Transistor 236 sind gemeinsam an den Emitter von Transistor 237 geschaltet; und die Basis und der Kollektor von Transistor 237 sind gemeinsam an Leitung 234 geschaltet.

Fig. 5 zeigt ein vereinfachtes Blockdiagramm einer impulsbreitenmodulierten Stromversorgungsschaltung 400 als Anwendungsbeispiel für Treiber 200 der vorliegenden Erfindung. Schaltung 400 umfaßt Leistungsschalter 410, Treiber 200 (vgl. FIGS. 2, 4), Impulsgenerator 420, sowie Drossel 430 und Glättungskondensator 440. Impulsgenerator 420 erzeugt Signal X für Treiber 200, der mit Signal Y den Leistungsschalter 410 entsprechend der Impulsfolge ein- und ausschaltet. Leistungsschalter 410 leitet eine Eingangsspannung VIN (z. B. gegen Masse 401 bezogen) an Drossel 430 und Kondensator 440 weiter, die wiederum Ausgangsspannung VOUT bereitstellen.

Das Beispiel der Schaltung 400 arbeitet nach dem in Fundstelle [1] beschriebenen Prinzip des Abwärts-Wandlers, was den Anwendungsbereich der vorliegenden Erfindung jedoch nicht beschränkt. Der Fachmann ist in der Lage, die vorliegende Erfindung mit Treiber 200 auch für andere Anwendungen einzusetzen, in denen Treiber benötigt werden. Stromversorgungsschaltung 400 ist Teil eines elektronischen Gerätes (z. B. Mobiltelefon, Fernsehgerät) und/oder dient zu dessen Stromversorgung.

Die vorliegende Erfindung kann auch als Verfahren zum Potentialverschieben betrachtet werden. Bei Transistor 222 mit Drain-Hauptelektrode auf variablem Potential, Source-Hauptelektrode auf im wesentlichen festen Potential 292

die Drain-Hauptelektrode von

- (a) Zustand $Y = H$, bei dem die Potentialdifferenz zwischen Drain und Source größer als ein erster Schwellwert ("VD", z. B. Schleusenspannung der Diode 231) ist ($VY > VD$), überführt in
- (b) Zustand $Y = L$, bei dem diese Potentialdifferenz im wesentlichen Null ist ($VY = GND$).

Das Verfahren ist durch die folgenden Verfahrensschritte gekennzeichnet:

- (1) Ausgehend von Zustand $Y = H$, Laden der inhärenten Source-Gate-Kapazität 216 des Transistors 222 durch Reihenschaltung 230 aus (i) Schalter 231, der leitend ist, wenn die Potentialdifferenz größer als der erste Schwellwert ist (z. B. Diode oder Transistorkombination 236, 237, $VY > VD$), und (ii) Schalter 232, der durch Steuersignal X (z. B. $X = L$) leitend geschaltet ist (z. B. Transistor 232);
- (2) Leitendmachen des Transistors 222 durch die Spannung VGS, die einem zweiten Schwellwert (V_{th}) erreicht ($VGS \geq v_{th}$);
- (3) Ausschalten des Schalters 231, da die Potentialdifferenz zwischen Drain und Source des Transistors 222 unter ersten Schwellwert VD geht; und
- (4) weiteres Leitendmachen des Transistor 222 durch das mit Steuersignal X verbundene Steuersignal Z (z. B. Z invertiert zu X und vice versa).

Des weiteren kann die vorliegende Erfindung beispielsweise als Transistorstufe 200 beschrieben werden. Stufe 200 verfügt über Transistoren 221 und 222, die seriell via Ausgangsknoten 202 zwischen Potentialen 291 und 292 geschaltet sind, und zeichnet sich aus durch Schalter 231 und 232 in Reihe zwischen Ausgangsknoten 202 und der Eingangskapazität (vgl. Kondensator 216) des Transistors 222. Wenn Eingangssignal X in einen solchen Zustand geht, in dem der Transistor 222 den Ausgangsknoten 202 zum zweiten Potential 292 zieht (z. B., Y auf L-Pegel),

- (a) schließt Schalter 231, wenn Ausgangsknoten 202 auf erstem Potential liegt (z. B., 291 auf H), schließt Schalter 232 synchron zu Eingangssignal X, und
- (b) laden Schalter 231 und 232 die Eingangskapazität (z. B. Kondensator 216) des Transistors 222 solange auf, bis Transistor 222 leitfähig ist und Ausgangsknoten 202 soweit zum zweiten Potential (L-Pegel) gezogen hat, daß die Potentialänderung (vgl. $VY < VD$) an Schalter 231 diesen öffnet (z. B. Diode sperrt).

Die vorliegende Erfindung kann auch als Treiberanordnung 200 für Leistungsschalter 410 (vgl. Fig. 5) in impulsbreitenmodulierten Schaltungen 400 mit impulsgesteuertem (Signal X, Fig. 3) Transistorausgangsinverter 220 beschrieben werden. Treiberanordnung 200 ist gekennzeichnet durch Rückkopplungsschaltung 230 zwischen Inverterausgang 202 und Invertereingang 215 ("Zwischenknoten") mit

- spannungsgesteuertem ersten Schalter (231) und
- zum Ausgangsinverter (220) synchron (z. B., X invertiert zu Z) gesteuerten zweiten Schalter (232).

Rückkopplungsschaltung 230 lädt zeitweilig (vgl. während Graph 24) die zu Bezugspotential 292 auftretende Transistorkapazität 216 (z. B. Transistors 222) des Ausgangsinverters 220 von Ausgang 202 her auf, wenn

- (i) an Eingang 215 des Ausgangstreibers 220 ein Signal ($Z = H$) anliegt, das ein Ziehen des Inverterausgangs 202 zum Bezugspotential 292 bewirkt, und (Konjunktive Verknüpfung) und
 (ii) die Spannung an Inverterausgang 202 noch wesentlich über der des Bezugspotentials 292 liegt, so daß durch das zeitweilige Aufladen, das Ziehen des Inverterausgangs 202 zum Bezugspotential 292 zeitweilig beschleunigt wird (vgl. Graph 24).

Während die vorliegende Erfindung durch bestimmte Strukturen, Geräte und Methoden beschrieben wurde, wird der Fachmann es schätzen, daß auf der Grundlage der vorliegenden Beschreibung, die nur auf die angeführten Beispiele beschränkt sein soll, der volle Umfang der Erfindung durch nun die folgenden Patentansprüche bestimmt wird.

Patentansprüche

1. Treiberanordnung (200) für eine impulsbreitenmodulierte Schaltung (400), wobei die Treiberanordnung (200) einen impulsgesteuerten (X) Transistorausgangsinverter (220) aufweist, die Treiberanordnung **gekennzeichnet durch eine Rückkopplungsschaltung (230)** zwischen Inverterausgang (202) und Invertereingang (215) mit (a) spannungsgesteuertem ersten Schalter (231) und (b) zum Ausgangsinverter (220) synchron gesteuerten zweiten Schalter (232), die zeitweilig die zu einem Bezugspotential (292) auftretende Transistorkapazität (216) eines Transistors (222) des Ausgangsinverters (220) vom Inverterausgang (202) her auflädt, wenn (i) am Eingang (215) des Ausgangsinverters (220) ein Signal ($Z = H$) anliegt, das ein Ziehen des Inverterausgangs (202) zum Bezugspotential (292) bewirkt, und (ii) die Spannung am Inverterausgang (202) noch wesentlich über dem Bezugspotential (292) liegt, so daß durch das zeitweilige Aufladen, das Ziehen des Inverterausgangs (202) zum Bezugspotential (292) zeitweilig beschleunigt wird.
2. Treiberanordnung nach Anspruch 1, bei der der erste Schalter (232) ein richtungsgesteuerter Schalter ist.
3. Verfahren zum Potentialverschieben bei einem Transistor (222) mit erster Hauptelektrode (D) auf variablem Potential, zweiter Hauptelektrode (S) auf im wesentlichen festen Potential (GND, 292), sowie Steuerelektrode (G), wobei das Potential der ersten Hauptelektrode verschoben wird von (a) einem ersten Zustand, bei dem die Potentialdifferenz zwischen erster und zweiter Hauptelektrode größer als ein erster Schwellwert (VD) ist, zu (b) einem zweiten Zustand, bei dem die genannte Potentialdifferenz im wesentlichen Null ist, das Verfahren gekennzeichnet durch die folgenden Verfahrensschritte:
 ausgehend vom ersten Zustand, Laden der inhärenten Kapazität (216) zwischen der Steuerelektrode und der zweiten Hauptelektrode des Transistors (222) durch eine Reihenschaltung aus (i) einem ersten Schalter (231), der leitend ist, wenn die Potentialdifferenz größer als der erste Schwellwert ist, und (ii) einem zweiten Schalter (232), der durch ein erstes Steuersignal (X) leitend geschaltet ist;
 Leitendmachen des Transistors (222) durch die Spannung zwischen der Steuerelektrode und der zweiten Hauptelektrode, die einem zweiten Schwellwert (V_{th}) erreicht;
 Ausschalten des ersten Schalters (231), da die Potentialdifferenz zwischen erster und zweiter Transistorhauptelektrode unter den ersten Schwellwert geht; und

weiteres Leitendmachen des Transistor (222) durch ein mit dem ersten Steuersignal (X) verbundenes zweites Steuersignal (Z).

4. Verfahren nach Anspruch 3, bei dem für den ersten Schalter (231) eine Diode verwendet wird.

5. Verfahren nach Anspruch 3 oder 4, bei dem für den zweiten Schalter ein weiterer Transistor (232) verwendet wird.

6. Verfahren nach Anspruch 3, 4 oder 5, bei dem das zweite Steuersignal (Z) invertiert zum ersten Steuersignal (X) ist.

7. Transistorstufe (200) mit einem ersten (221) und einem zweiten (222) Transistor, wobei die Transistoren (221, 222) über einen Ausgangsknoten (202) in Reihe geschaltet zwischen einem ersten Potential (291) und einem zweiten Potential (292),

die Transistorstufe (200) gekennzeichnet durch einem ersten Schalter (231) und einem zweiten Schalter (232), in Reihe zwischen dem Ausgangsknoten (202) und der Eingangskapazität (216) des zweiten Transistors (222) geschaltet,

wobei, wenn ein Eingangssignal (X) in einen solchen Zustand geht, in dem der zweite Transistor (222) den Ausgangsknoten (202) zum zweiten Potential (292) zieht (a) der erste Schalter (231) geschlossen ist, wenn der Ausgangsknoten auf erstem Potential liegt (291), sowie der zweite Schalter (232) synchron zum Eingangssignal (X) geschlossen wird, und (b) der erste Schalter (231) und der zweite Schalter (232) die Eingangskapazität (216) des zweiten Transistors (222) solange aufladen, bis der zweite Transistor (222) leitfähig ist und den Ausgangsknoten (202) soweit zum zweiten Potential (292) gezogen hat, daß die Potentialänderung am ersten Schalter (231) diesen öffnet.

8. Transistorstufe nach Anspruch 7, bei der der erste Schalter (231) als Diode und der zweite Schalter (232) als eingangssignalgesteuerter zweiter Transistor ausgeführt ist.

9. Transistorstufe nach Anspruch 7 oder 8, bei der der erste Schalter (232) als Kombination aus Bipolartransistoren (236, 237) ausgeführt ist.

10. Signaltreiber (200) mit einem Eingangsinverter (210), der ein Eingangssignal (X) an einem Eingang (201) zu einem Zwischensignal (Z) an einem Zwischenknoten (215) invertiert, und einem dazu in Reihe geschalteten Ausgangsinverter (220), der das Zwischensignal (Z) zu einem Ausgangssignal (Y) an einem Ausgang (202) invertiert, gekennzeichnet durch eine Kapazität (216) zwischen dem Zwischenknoten (215) und einem Bezugspotential (292), die beim Aufladen den Ausgangsinverter (220) veranlaßt, das Ausgangssignal mit einem ersten Pegel (L) abzugeben; einen spannungsgesteuerten ersten Schalter (231); und einen vom Eingangssignal (X) gesteuerten zweiten Schalter (232), wobei der erste (232) und der zweite (231) Schalter in Reihe zwischen dem Ausgang (202) und dem Zwischenknoten (215) geschaltet sind, und wobei bei einem zweiten Pegel (H) des Ausgangssignals (Y) der erste Schalter (231) leitfähig ist und, bei vom Eingangssignal leitfähig geschalteten zweiten Schalter (232), die Kapazität (216) solange vom Ausgang (202) her aufgeladen wird, bis der Ausgang (202) eine solche Spannung erreicht, bei der der zweite Schalter (232) aufhört zu leiten.

11. Signaltreiber nach Anspruch 10, bei der (a) der erste (210) und der zweite (220) Inverter jeweils aus CMOS-Transistorpaaren besteht, (b) der erste Schalter aus einer Diode (232) besteht, die bei einem zweiten

Pegel (H) des Ausgangssignals oberhalb der Diodenschleusenspannung leitfähig ist, und (c) der zweite Schalter (232) ein Transistor ist, den das Eingangssignal (X) auf erstem Pegel (L) leitfähig macht.

12. Stromversorgungsschaltung dadurch gekennzeichnet, daß diese eine Treiberanordnung, eine Transistorstufe, bzw. einen Signaltreiber nach den vorangegangenen Ansprüchen enthält. 5

13. Elektronisches Gerät dadurch gekennzeichnet, daß dieses eine Stromversorgungsschaltung nach Anspruch 12 enthält. 10

14. Verwendung einer impulsbreitenmodulierten Stromversorgungsschaltung mit Treiberanordnung nach einem der vorangegangenen Ansprüche in einem elektronischen Gerät. 15

Hierzu 2 Seite(n) Zeichnungen

20

25

30

35

40

45

50

55

60

65

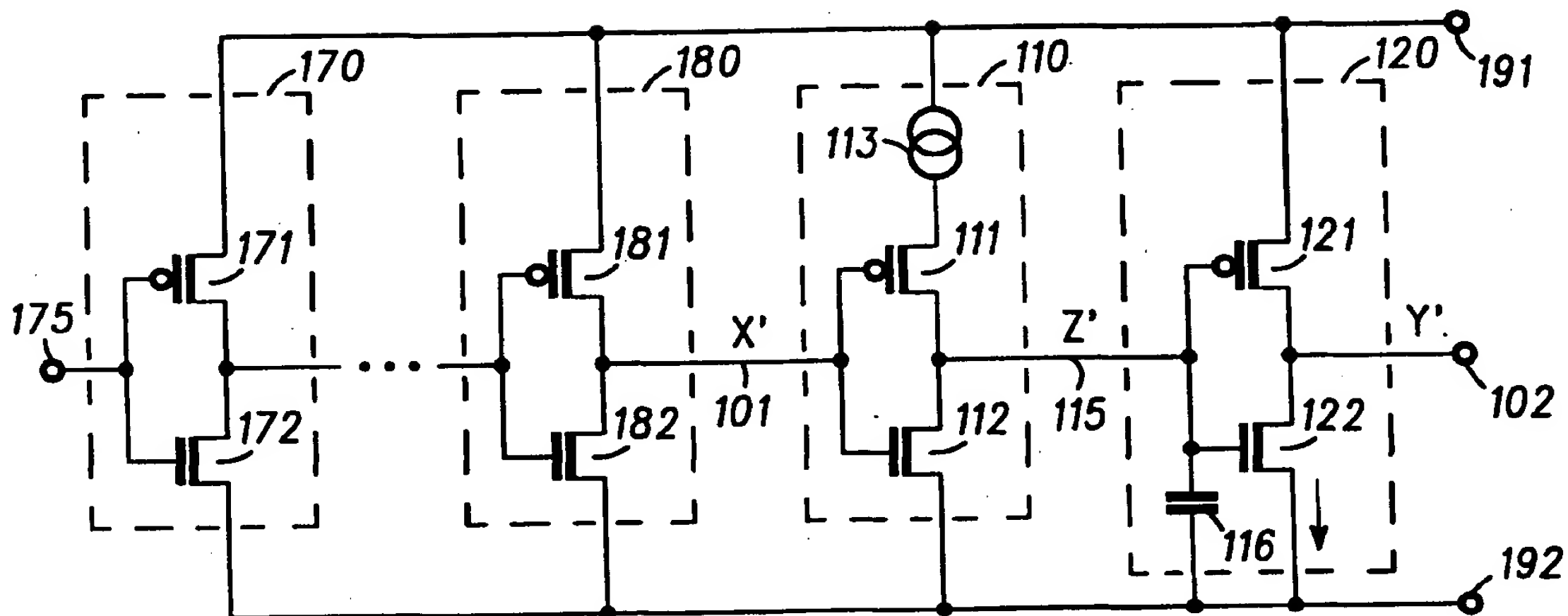


FIG. 1

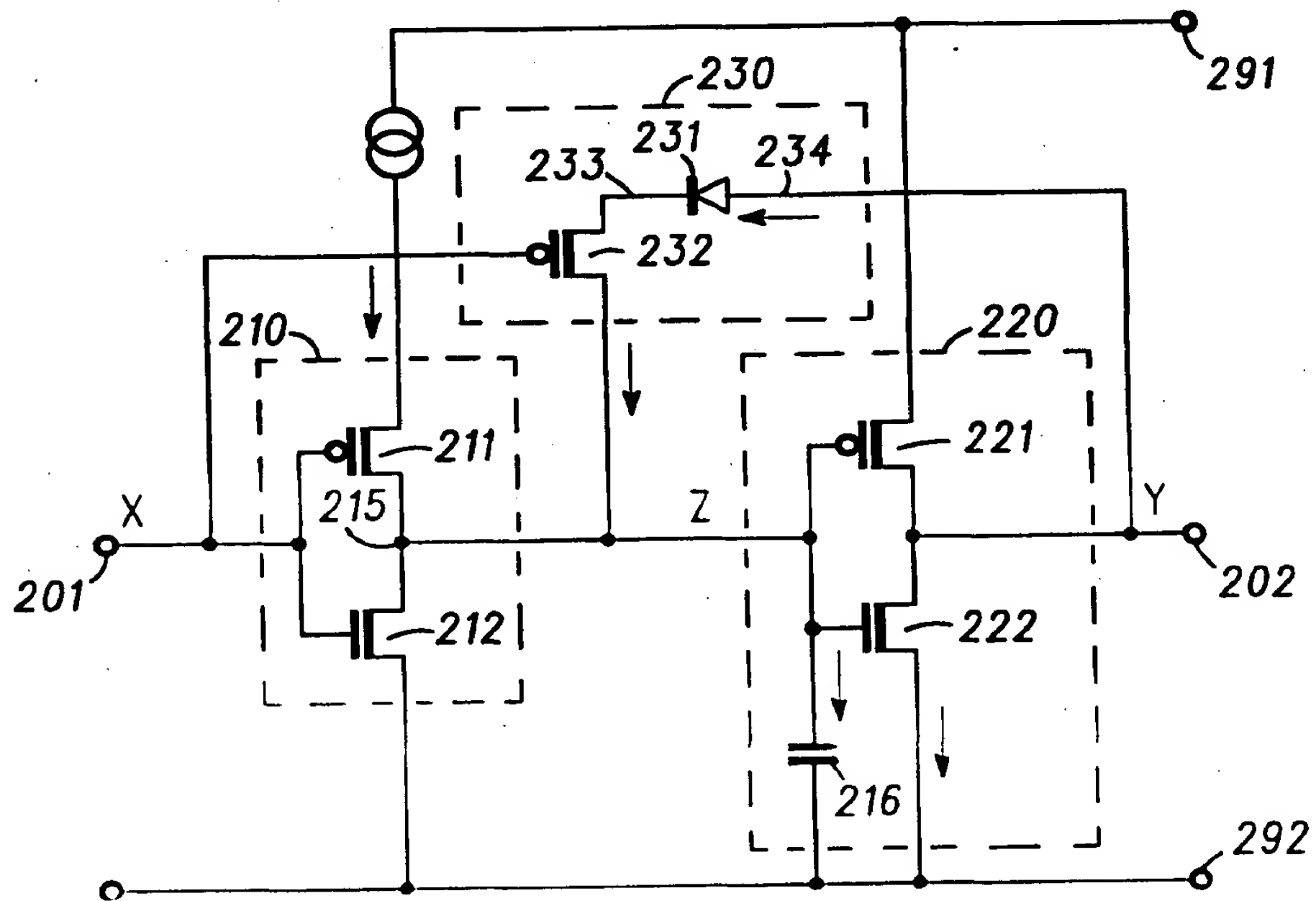


FIG. 2

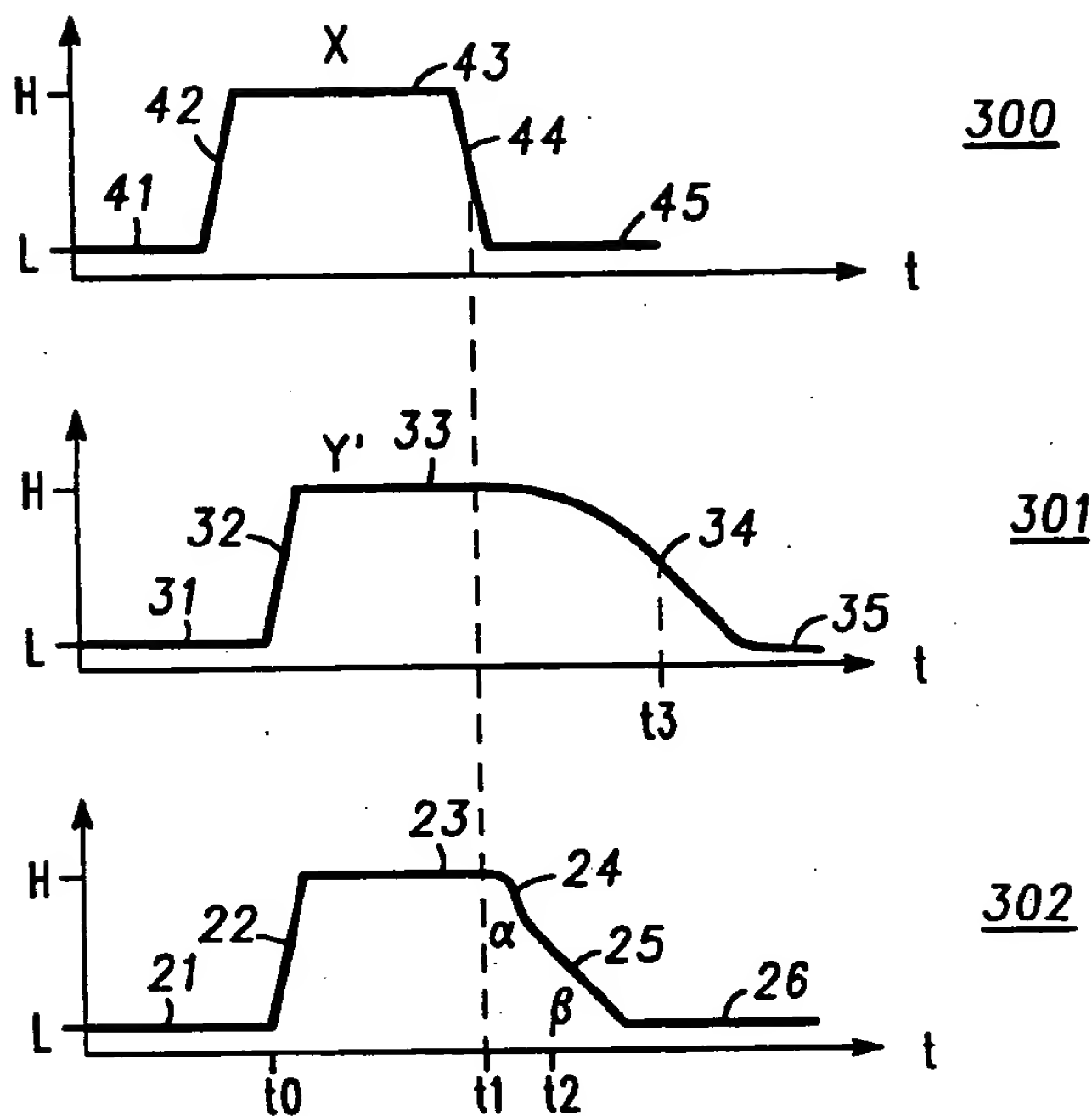


FIG. 3

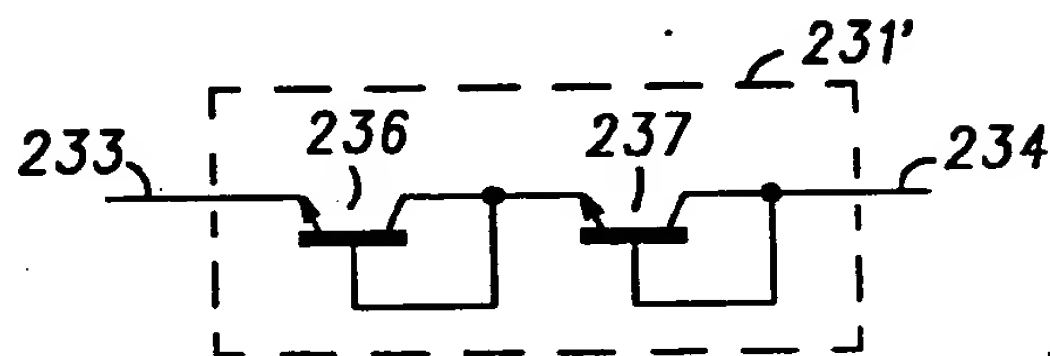


FIG. 4

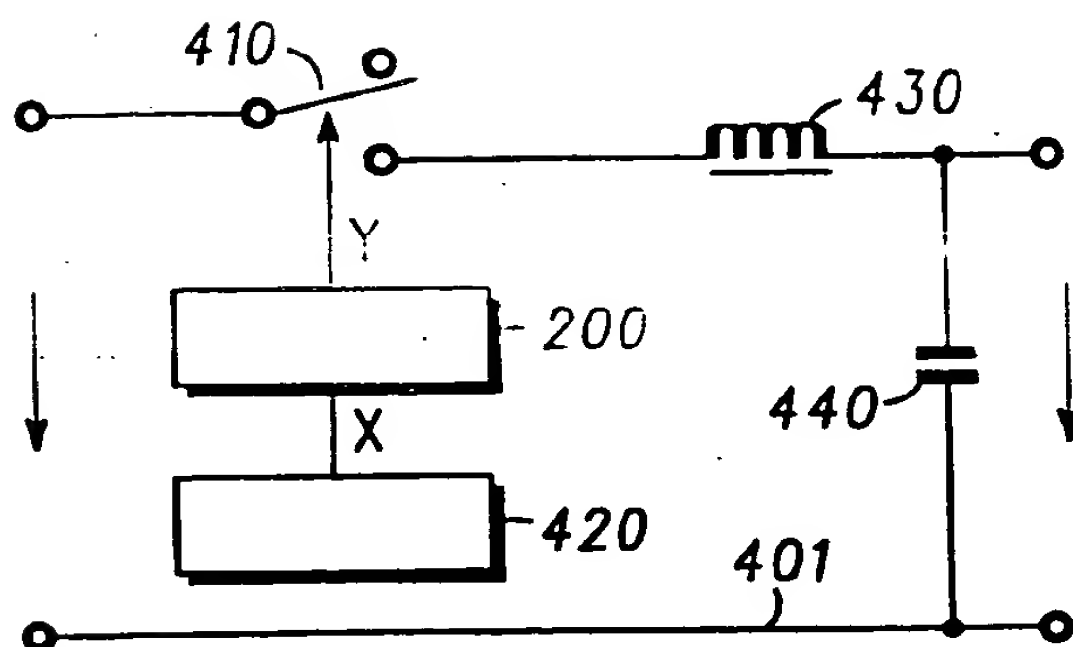


FIG. 5